

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-026223

(43)Date of publication of application : 27.01.1989

-----  
(51)Int.Cl. G06F 7/24

-----  
(21)Application number : 62-181210 (71)Applicant : CANON INC

(22)Date of filing : 22.07.1987 (72)Inventor : IDEI KATSUTO

-----  
(54) SEQUENTIAL ARRAY CIRCUIT

(57)Abstract:

PURPOSE: To easily implement hardware which performs parallel processing at a high speed by arraying plural large-small discriminating means.

CONSTITUTION: A 1st discriminating stage discriminates the large-small relation of a 1st group of data as many as large-small discriminating means each consisting of a large-small comparator and a data exchanger for exchanging data according to its comparison result and rearrange two data in a 1st group in specific order. Then a 2nd discriminating stage discriminates the large-small relation of a 2nd group of data in different combination from the 1st group and rearranges two data in the 2nd group in specific order, and 2nd discriminating stages are provided alternately by a specific number to array a specific number of input data in specific order. Consequently, the hardware which performs parallel processing is easily implemented.

-----  
**LEGAL STATUS [Date of request for examination]**

**[Date of sending the examiner's decision of rejection]**

**[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]**

**[Date of final disposal for application]**

**[Patent number]**

**[Date of registration]**

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-26223

⑮ Int.Cl.<sup>4</sup>  
G 06 F 7/24

識別記号 庁内整理番号  
7313-5B

⑬ 公開 昭和64年(1989)1月27日

審査請求 未請求 発明の数 1 (全17頁)

⑭ 発明の名称 順序整列回路

⑯ 特 願 昭62-181210

⑰ 出 願 昭62(1987)7月22日

⑱ 発 明 者 出 井 克 人 東京都大田区下丸子3丁目30番2号 キャノン株式会社内  
⑲ 出 願 人 キャノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代 理 人 弁理士 大塚 康徳 外1名

明 細 書

1. 発明の名称

順序整列回路

2. 特許請求の範囲

(1) 大小比較器と該大小比較器の比較結果に基づいてデータを交換するデータ交換器とから成る少なくとも1つの大小判別手段を備え、該大小判別手段の個数に対応する第1の組のデータの大きさを判別して、前記第1の組で2つのデータを所定の順序に並べる第1の判別段と、

少なくとも1つの前記大小判別手段を備え、該大小判別手段の個数に対応する、前記第1の組と異なる組合わせの第2の組のデータの大きさを判別して、前記第2の組で2つのデータを前記所定の順序に並べる第2の判別段とを交互に所定段備え、

入力された所定個数のデータを前記所定の順序に整列することを特徴とする順序整列回路。

(2) 第1の判別段及び第2の判別段では、複数の大小判別手段が並列に動作することを特徴とする特許請求の範囲第1項記載の順序整列回路。

(3)  $n$  個の入力データに対しては、 $(n) \times (n-1) / 2$  個の大小判別手段を備えることを特徴とする特許請求の範囲第1項記載の順序整列回路。

(4)  $n$  個の入力データに対しては、 $(n-1)$  段の判別段を備えることを特徴とする特許請求の範囲第1項記載の順序整列回路。

(5) 判別段と次の判別段との間にデータをラッチするラッチ手段を更に設け、クロックにより同期を取ることを特徴とする特許請求の範囲第1項記載の順序整列回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は順序整列回路、特にデジタル信号列の最大値・中央値・最少値などを求めるときに有効な順序整列回路に関するものである。

## 〔従来の技術〕

従来、この種の回路をハードウェアで実現する場合は最大値あるいは最少値の検出を繰り返す回路にかぎられていた。たとえば、 $n$ 個のデータを1ブロックとし、その中の最大値を求めるには、1個のコンパレータと1個のレジスタを用い、ブロックのはじめでレジスタを“0”にし、レジスタの内容を $n$ 個のデータ列と逐次比較し、大きい方をレジスタに保存するようにすれば良い。しかし、最大値と最少値を除く任意のデータを抽出するためにはデータを整列化させる必要が

あり、上述最大値検出で検出された最大値を除く $n-1$ 個のデータから再度最大値検出を行い、これを $n-1$ 回繰り返す必要がある。

しかしながら、そのためには最大値検出の中で、最大データが存在していたもとのデータ列中の順番を保存する方法や最大値を除くデータを抽出する方法が必要となり、さらに $n-1$ 回の最大値検出を行なわなければならない、ハードウェアが大型化してしまうために実用化されていなかった。

## 〔発明の解決しようとする問題点〕

本発明は、上述従来例の欠点に鑑みなされたもので、複数の大小判別手段をならべて構成し、並列処理をするハードウェア化が容易で高速な順序整列回路の提供を目的としている。

## 〔問題点を解決するための手段及び作用〕

この問題点を解決するための一手段として、本発明の順序整列回路は、大小比較器と該大小比較器の比較結果に基づいてデータを交換するデータ交換器とから成る少なくとも1つの大小判別手段を備え、該大小判別手段の個数に対応する第1の組のデータの大小を判別して、前記第1の組で2つのデータを所定の順序に並べる第1の判別段と、少なくとも1つの前記大小判別手段を備え、該大小判別手段の個数に対応する、前記第1の組と異なる組合わせの第2の組のデータの大小を判別して、前記第2の組で2つのデータを前記所定の順序に並べる第2の判別段とを交互に所定段備え、

入力された所定個数のデータを前記所定の順序に整列する。

—以下余白—

## 〔実施例〕

以下添付図面に従つて、本発明の実施例を詳細に説明する。

第1図は第1の実施例の順序整列回路の構成例を示す図である。本実施例では、9個のデータの順序整列について説明する。 $A \sim I$ は9個のデータの入力端子、CLKはクロック端子、 $1TH \sim 9TH$ は1～9番目の順序だったデータの出力端子であり、1STが最も小さいデータである。1～36は後述する大小判別器、37～153はDフリップフロップ（以下DFFと呼ぶ）である。尚、DFFは以下8ビット分を1つとして表記されている。

第2図は第1図における大小判別器1～36の内部構成例を説明する図であり、汎用のTTLで構成してある。201は2組の8ビットデータの

大小を判別するコンパレータ、202～205は2組の4ビットデータのうち1組を選択するセクタである。コンパレータ201はIN-Aからくる第1の組の8ビット入力 $Q_0 \sim Q_7$ （以下Qとする）とIN-Bからくる第2の組の入力 $P_0 \sim P_7$ （以下Pとする）とを比較し、 $Q \geq P$ のとき出力 $P > Q$ をHighにし、 $Q < P$ のとき出力 $P > Q$ をLowにする。セクタ202～205は、セレクト入力SがLowのときに、出力4Y～1Y（以下Y出力と呼ぶ）に入力4A～1A（以下A入力と呼ぶ）の4ビットを出力し、セレクト入力SがHighのときに、Y出力に入力4B～1B（以下B入力と呼ぶ）の4ビットが出力される。

このような各素子の動作に対応して、第2図のように構成・結線すれば、入力IN-Aと入力IN-Bとの $IN-A > IN-B$ 、 $IN-A = IN-B$ 、 $IN-A < IN-B$ の3つの

下位4ビットが接続されているので、セクタ204のY出力にはIN-Bの上位4ビットが、セクタ205のY出力にはIN-Bの下位4ビットが出力され、OUT-LにはIN-Bの8ビット $P_0 \sim P_7$ が出力される。

#### ② $IN-A = IN-B$ のとき

コンパレータ201は $Q = P$ であるため出力 $P > Q$ はやはりHighである。従つて $IN-A > IN-B$ のときと同様にOUT-HにはIN-Aが、OUT-LにはIN-Bが出力される。

#### ③ $IN-A < IN-B$ のとき

コンパレータ201は $Q < P$ であるため、出力 $P > Q$ はLowとなる。従つてセクタ202～205のセレクト入力SはすべてLowであるのでセクタ202～205のY出力にはA入力が出力される。セクタ202のA入力にはIN-Bの

状態に対して、以下のように出力OUT-H、OUT-Lが決定される。

#### ① $IN-A > IN-B$ のとき

$Q > P$ なので、コンパレータ201の出力 $P > Q$ はHighとなる。従つてセクタ202～205のセレクト入力SにはHighがくるので、セクタ202～205のY出力にはB入力が出力される。セクタ202のB入力にはIN-Aの上位4ビットが、セクタ203のB入力にはIN-Aの下位4ビットが接続されているので、セクタ202のY出力にはIN-Aの上位4ビットが、セクタ203のY出力にはIN-Aの下位4ビットが出力されるので、OUT-HにはIN-Aの8ビット $Q_0 \sim Q_7$ が出力される。

一方セクタ204のB入力にはIN-Bの上位4ビットが、セクタ205のB入力にはIN-Bの

上位4ビットが、セクタ203のA入力にはIN-Bの下位4ビットが、セクタ204のA入力にはIN-Aの上位4ビットが、セクタ205のA入力にはIN-Aの下位4ビットが接続されているので、OUT-HにはIN-Bが、OUT-LにはIN-Aが出力されてくる。

従つて大小判別器1～35の動作は表1のようにまとめることができる。

表1

	OUT-H	OUT-L
$IN-A \geq IN-B$	IN-A	IN-B
$IN-A < IN-B$	IN-B	IN-A

すなわち大小判別器1～36はIN-AとIN-Bに与えられたデータに対して、大きい方をOUT-Hに小さい方をOUT-Lに出力する。ただし $IN-A = IN-B$ の

ときにはOUT-HにIN-Aを出力しているが、OUT-HとOUT-Lの値は同じになるのでどちらを大きいとしても問題はない。

尚、第1図、第3図、第4図、第5図、第6図、第11図、第12図、第15図、第16図において、DDF、大小判別器の入出力端子は全て同じ場所に位置するよう描かれており、1つの素子についてのみ記してある。

以下、第1図の順序整列回路の動作を説明する。ここで、第1順位が最小値、第9順位が最大値である。

第1図において入力A～Iにランダムな値のデータが与えられると、まずはじめのクロックでそのデータがDDF37～45に取り込まれる。今、第1図において大小判別器1～8だけが大小判別をし、大小判別器9～36は内部でIN-Aと

OUT-Hが直接つながりIN-BとOUT-Lが直接つながった大小判別をしないものと仮定すると、第2のクロックによつてDDF46には第2順位から第9順位までのいずれかの可能性をもつデータが取り込まれている。またDDF47には第1順位から第8順位までの可能性をもつデータが取り込まれている。DDF48～54に存在するデータはすべての順位の可能性を残している。

ここで、前述のように大小判別器2は正しく大小判別し、大小判別器31は何もしないものとするれば、第3のクロックではDDF55に第2～第9順位のデータが、DDF56にも第2～第9順位のいずれかの可能性をもつデータが取り込まれている。言い換えれば、DDF55、56には第1順位のデータは無いことになる。以下、4～9番目のクロックでの大小判別器3～8の作用に

より、DDF109～116の8つのDDFにそれぞれ第2～第9順位の可能性をもつデータが取り込まれる。ところで入力したデータは全部で9個であり、そのうち第2～第9順位の8個のデータがDDF109～116の8つのDDFに取り込まれているので、残りのDDF117のデータは第1順位であり、第1順位が決定される。

次に大小判別器9～15の動作を説明する。第3のクロックが与えられたときDDF55、56には第1順位の可能性をもつデータは存在していない。従つて第4のクロックによつてDDF64には第3～第9順位のデータが、DDF65とDDF66には第2順位～第9順位のデータが取り込まれる。以後動作が進んで第9のクロックが与えられると、DDF109～114に第3順位～第9順位のデータが、DDF117には

第1順位のデータが決定され、DDF115と116には第2～第9順位のデータがある。大小判別器15はそのうち大きい方をOUT-Hに出力するので、次のクロックによつて7つの第3順位～第9順位のデータがDDF118～124の7つのDDFに取り込まれ、DDF126には第1順位のデータがあるので、DDF125のデータは第2順位のデータであり、第2順位が決定される。

同様に、大小判別器16～21の作用によつて11クロック目にDDF133に第3順位のデータが、大小判別器22～26の作用によつて12クロック目に第4順位のデータがDDF141に、大小判別器27～30によつて13クロック目に第5順位のデータがDDF148に輸入され、順位が決定される。以上のように13

クロックで9個のランダムデータのうち小さい方から5つの順位を決定することができた。

一方、大小判別器31, 32, 33, 5, 12, 18, 23, 27は入力データの大きい方からの順位決定をおこなっている。すなわち第3のクロックによつてDFF63に第1～第8順位のデータを入れ、第4のクロックによつてDFF71, 72に第1～第8順位のデータを入れ、以下同様に、第10クロック目でDFF119～126に第1～第8順位のデータを入れているのでDFF118には第9順位のデータが入力され、第9順位が決定される。実際には、このときすでにDFF125に第2順位が、DFF126に第1順位が決定されている。

同様に、11クロック目でDFF128に第8順位が、12クロック目にDFF138に第7

第1～第8, 第1～第9の順位をとりうる可能性をもつデータが取り込まれる。

尚、大小判別器308の入力となるDFF353とDFF354に同時に第8順位と第9順位のデータが存在することはない。又、大小判別器304の作用によりDFF353に第9順位のデータが存在することはできない。たとえば、入力Iに第9順位のデータが存在するとすれば、2クロック目でDFF354に第9順位のデータが取り込まれる。ところが、入力Iが第9順位のため入力Gと入力Hには第1～第8順位の入力しかありえない。そのとき大小判別器304の作用によりDFF352に第2～第8順位のデータが、DFF353に第1～第7順位のデータが振り分けられる。従つて、DFF353と354には同時に第8順位と第9順位のデータは存在できないこ

順位のデータが入力され、13クロック目に第6順位のデータがDFF147に入力され、順位が決定される。前述のように13クロック目にはDFF148～152に第5順位～第1順位のデータが決定されて入力されるので、ここですべてのデータの順位決定ができたことになる。

第3図は第2の実施例の順序整列回路の構成例を示す図である。

301～336は第1の実施例で用いたのと同じ大小判別器である。はじめに、第1のクロックによつてDFF337～345にランダムなデータが取り込まれる。第2のクロックが入ると大小判別器301～304により2つずつのデータが比較され、DFF346～354にはそれぞれ第2～第9, 第1～第8, 第2～第9, 第1～第8, 第2～第9, 第1～第8, 第2～第9, 第1～第8, 第2～第9,

となる。

そこで、第3のクロックが入るとDFF355には第2～9順位、DFF356には第2～9順位、DFF357には第1～8順位、DFF358には第2～9順位、DFF359には第1～8順位、DFF360には第2～9順位、DFF361には第1～8順位、DFF362には第2～9順位、DFF363には第1～7順位のデータが存在する可能性をもっている。

次に、大小判別器309の入力に注目してみると、大小判別器301と305の作用により、DFF355とDFF356に第1順位のデータが存在しえないことは第1の実施例からも明らかである。さらに、前述と同様な考え方により、大小判別器302と305の作用により、DFF355とDFF356に第2順位と第3順位の





成でき、高速にデータの順序を整列することができるようになった。さらに回路構成を簡単にでき、とくにLSI化も容易にできるという効果がある。

第6図は本実施例の順序整列回路を適用したフィルタの構成例を示す図である。ここでは、9個の画素データの中から中順位のデータを選ぶメディアンフィルタについて説明する。第6図においてA'～I'は9個の画素データの入力を示す。各参照番号の素子及び動作は、第1図と共通である。

具体的には第7図に示す二次元のデータ列に対し、その一部71であるところの第8図に示す9個のデータを、第6図のA'～I'に与えてみる。入力はA' = 93, B' = 95, C' = 62, D' = 125, E' = 213, F' =

91, H' = 181, I' = 55とする。まず第1のクロックが入力されるとはじめにA'(93)とB'(95)のデータの比較(すなわち93と95の比較)が行なわれて、DFF37～46の入力にはそれぞれB'(95), A'(93), C'(62), D'(125), E'(213), F'(91), G'(220), H'(181), I'(55)があらわれる。これは大小判別器1の作用によつてA'とB'が入れ換えられた結果である。以下12個のクロックが入ったときの各DFFの入力部のデータを表3に示す。

— 以下余白 —

表 3

クロック	DFF	D F F の 入 力								
		A(93)	B(95)	C(62)	D(125)	E(213)	F(91)	G(220)	H(181)	I(55)
1	37～46	B	A	C	D	E	F	G	H	I
2	46～54	B	A	C	D	E	F	G	H	I
3	55～63	B	A	C	D	E	F	G	H	I
4	64～72	B	A	D	C	E	F	G	H	I
5	73～81	B	D	A	E	C	F	G	H	I
6	82～90	D	B	E	A	F	C	G	H	I
7	91～99	D	E	B	A	F	G	C	H	I
8	100～108	D	E	B	A	G	F	H	C	I
9	109～116	D	E	B	G	A	H	F	C	
10	119～124	D	G	B	H	A	F			
11	129～132		D	H	B	A				
12	139～140			D	B					
13	149									

以上のように13番目のクロックが入ると、DFF149の出力に第9図に示すようにB'の入力(95)が現われて中順位のデータが得られる。この過程で大小判別器8, 15, 21, 26のOUT-Lには第1順位～第4順位のデータが見つかるが、これらのデータを使用することはメディアンフィルタには必要ない。また大小判別器27, 28, 29, 30のOUT-Hには第6～第9順位のいずれかが出力されているが順位は整列していない。これもまたメディアンフィルタには影響を与えない。

このように、注目画素a(213)に対して、3×3のメディアンフィルタをかけた結果(95)が出力される。

さらにこの作業を3×3のウィンドウをずらしで行うことによつて、第10図に示すような第7

図の入力画像データに対してメディアンフィルタをかけた結果を得ることができる。

この結果、画像処理において、画像データ中のエッジ成分を保つままノイズ成分、特にパルス状のノイズの除去が高速に実時間で可能になり、前処理等に有効に使用される。

第11図はフィルタの他の実施例で、同じ参照番号の素子及び動作は、第3図と共通である。第11図の実施例に対して各クロックごとの動作を表4に記述してみる。

尚、この実施例においてはA'～I'に入力されるデータによつては大小判別器317、321、326、330のOUT-Hは整列しておらず、単に第6～9順位のデータのみが存在し、大小判別器324、328、331、335のOUT-Lには単に第1～4順位のデータがあるだけ

であるが、これはメディアンフィルタの中順位を見つけるためには問題とならない。

—以下余白—

表 4

クロック	DFE	DFEFの入力
1	337~345	A(03), B(05), C(07), D(125), E(213), F(91), G(220), H(101), I(55)
2	346~354	B A D C E F G H I
3	355~363	B D A E C G F H I
4	364~372	D B E A G C H F I
5	373~381	D E B C A H C F I
6	382~390	D C G B H A F C I
7	391~398	D H B A A F C
8	403~406	D B A A F
9	413~414	B A
10	422	B

本実施例においては入力が9個であるとして説明したが $2n+1$  ( $N=1, 2, \dots$ ) に対して、何ら要件をそこなうものはない。

メディアンフィルタの第2の実施例においてははじめに最も小さい値を除外するための操作を行ったが、大きい方から除外していつてもいいしつかえない。

以上説明したように2つの入力データの大小を比較し、その結果によつて出力を振りわけると大小判別操作を複数の入力に対して並列的かつ連続的に行うことによつて実時間処理可能なメディアンフィルタを構成できる。尚、本実施例はメディアンフィルタを代表させて説明したが、出力の順位を変えたり、複数順位を出力すれば、一般にデジタルデータのフィルタ回路として適用される。

次に、2次元データに対するフィルタの構成例



出力には  $a_{11}$ ,  $a_{12}$ ,  $a_{11}$ ,  $a_{23}$ ,  $a_{22}$ ,  $a_{21}$ ,  $a_{33}$ ,  $a_{32}$ ,  $a_{31}$  が現われ、それぞれ大小比較が開始される。そのときの様子は表5のとおりである。尚、他の参照番号の素子及び動作は第3図と共通である。

第15図は2次元メディアンフィルタの他の実施例で、9個のデータのうち小さい方から中央値までを検出していくバブルソートのハードウェアを適用したものである。第15図において601～670はDFF、671～700は大小判別器である。本実施例においても第13図に示す3×3のウィンドを用いた例を示している。第15図において、3回のクロックに同期して入力A<sup>\*</sup>, B<sup>\*</sup>, C<sup>\*</sup> にそれぞれ ( $a_{11}$ ,  $a_{12}$ ,  $a_{13}$ ), ( $a_{21}$ ,  $a_{22}$ ,  $a_{23}$ ), ( $a_{31}$ ,  $a_{32}$ ,  $a_{33}$ ) が入力されるものとする、第1のクロックの後D

FF601～603の出力には  $a_{11}$ ,  $a_{21}$ ,  $a_{31}$  が存在し、DFF604～606の入力には必要に応じて  $a_{11}$  と  $a_{21}$  が交換されて  $a_{11}$ ,  $a_{21}$ ,  $a_{31}$  が与えられる。

ここで、第2のクロックが入力されるとDFF607～611の入力には  $a_{11}$ ,  $a_{21}$ ,  $a_{12}$ ,  $a_{22}$ ,  $a_{31}$  が存在する。以後クロックが進むにつれての各DFFの入力例のデータをまとめると表6のようになる。

但し、実際には表6の内容は必要に応じて大小判別器により入れ換えが行なわれているが、表6は入れ換えない場合を示してある。並列動作によるバブルソートを行なうときには大小判別の始めの方では必要となるデータは少ないのでデータの揃うところからソートを開始するように構成できる。

表 6

クロック	DFF	D F F の 結 果								
1	601～603	$a_{11}$	$a_{21}$							$a_{31}$
2	604～606	$a_{11}$	$a_{21}$							$a_{31}$
3	607～611	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$					$a_{31}$
4	612～616	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$	$a_{13}$	$a_{23}$			$a_{31}$
5	619～625	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$	$a_{13}$	$a_{23}$			$a_{31}$
6	626～632	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$	$a_{13}$	$a_{23}$			$a_{31}$
7	633～640	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$	$a_{13}$	$a_{23}$	$a_{33}$		$a_{31}$
8	641～649	$a_{11}$	$a_{21}$	$a_{12}$	$a_{22}$	$a_{13}$	$a_{23}$	$a_{33}$	$a_{32}$	$a_{31}$

第16図は2次元メディアンフィルタの更に他の実施例であつて、最小値から見つけていくバブルソートの並列処理ハードウェアに対して、第14図に示すような5×5の十字形ウィンドウを適用した例である。入力A<sup>\*</sup>には  $b_{1n}$  行のデータ列を、入力B<sup>\*</sup>には  $b_{2n}$  行、入力C<sup>\*</sup>には  $b_{3n}$  行、入力D<sup>\*</sup>には  $b_{4n}$  行、入力E<sup>\*</sup>には  $b_{5n}$  行を同期させて入力する。第16図の801～873はDFF、874～903は大小判別器である。表7に8個のクロックが入力されたあとの各DFF入力要素を示す。目的はDFF844～852に入力される時点において  $b_{13}$ ,  $b_{23}$ ,  $b_{31}$ ,  $b_{32}$ ,  $b_{33}$ ,  $b_{34}$ ,  $b_{35}$ ,  $b_{43}$ ,  $b_{53}$  の要素がそろふことである。

— 以下余白 —

表 7

DF F	第8クロック後の各DF Fの入力														
801	b <sub>39</sub>														
802	b <sub>38</sub>														
803~808	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>	b <sub>27</sub>	b <sub>26</sub>	b <sub>25</sub>	b <sub>24</sub>	b <sub>23</sub>
809~814	b <sub>35</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>	b <sub>27</sub>	b <sub>26</sub>	b <sub>25</sub>	b <sub>24</sub>
815~821	b <sub>35</sub>	b <sub>36</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>	b <sub>27</sub>	b <sub>26</sub>	b <sub>25</sub>
822~828	b <sub>34</sub>	b <sub>35</sub>	b <sub>36</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>	b <sub>27</sub>	b <sub>26</sub>
829~835	b <sub>33</sub>	b <sub>34</sub>	b <sub>35</sub>	b <sub>36</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>	b <sub>27</sub>
836~843	b <sub>32</sub>	b <sub>33</sub>	b <sub>34</sub>	b <sub>35</sub>	b <sub>36</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>	b <sub>28</sub>
844~852	b <sub>31</sub>	b <sub>32</sub>	b <sub>33</sub>	b <sub>34</sub>	b <sub>35</sub>	b <sub>36</sub>	b <sub>37</sub>	b <sub>36</sub>	b <sub>35</sub>	b <sub>34</sub>	b <sub>33</sub>	b <sub>32</sub>	b <sub>31</sub>	b <sub>30</sub>	b <sub>29</sub>

構成例であるが、第15図及び第16図の実施例により著るしく入力端子数を減ずることができるだけでなく、内部の電子回路も減ずることができる。この電子回路の減少可能な量はLSI化を考えたときトランジスタ数にして500~600個にもものぼる。

#### 〔発明の効果〕

本発明により、複数の大小判別手段をならべて構成し、並列処理をするハードウェア化が容易で高速度な順序整列回路を提供できる。

#### 4. 図面の簡単な説明

第1図は第1の実施例の順序整列回路の構成例を示す図、

第2図は大小比較器の構成例を示す図、

第3図~第5図は第2~第4の実施例の順序整列回路の構成例を示す図、

但し、実際には表7における各行のDF Fの内容は必要に応じて大小判別器によつて入れ換えがなされているが、表7には入れ換えない場合を示してある。

第11図は9個の入力ポートを持つ最大値、最小値両側から検出していく並列処理形のバブルソート法のハードウェアであつた。しかし、第12図、第15図、第16図の実施例のようにウィンドウの移動する方向と直角な方向のウィンドウ幅の入力ポート数にすることで、入力端子数を著るしく減ずることができ、特にユニット化あるいはLSI化する場合に有効であるとともに、第11図の例に対し全く電子回路を追加するとなか実施できる。

また、第6図は9個の入力ポートを持つ最小値検出形の並列処理バブルソートのハードウェアの

第6図、第11図、第12図、第15図、第16図は本実施例の順序整列回路を適用したメディアンフィルタを示す図、

第7図~第10図はメディアンフィルタの動作を説明する図、

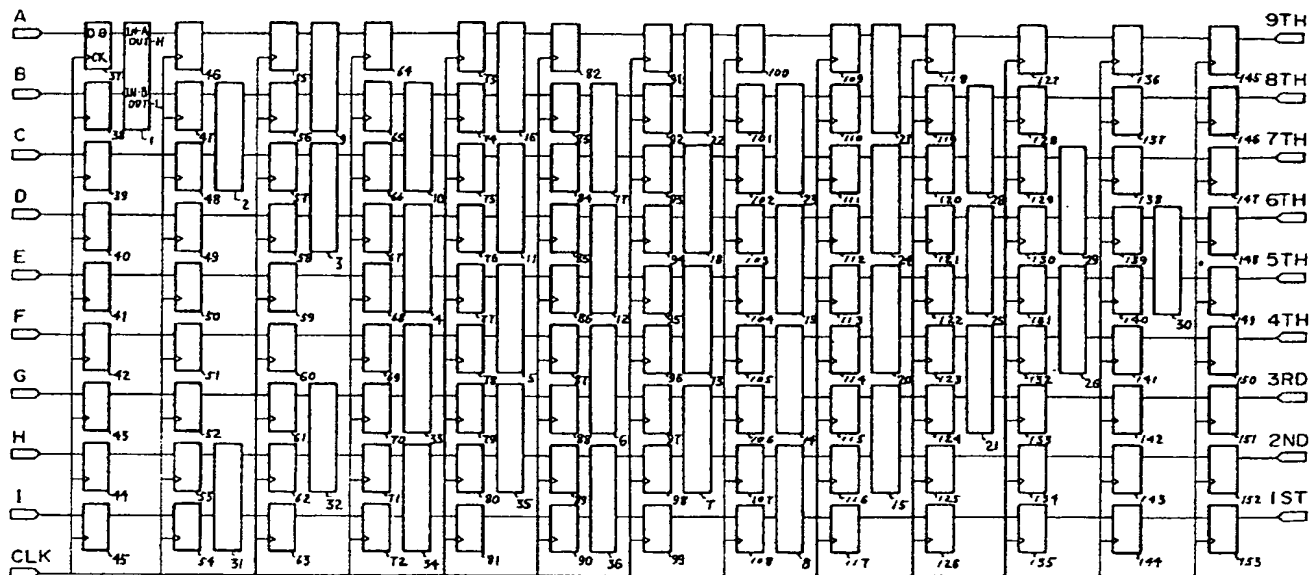
第13図、第14図はメディアンフィルタのウィンドウの例を示す図である。

図中、1~36、301~336、451、45、2671~700、874~903…大小判別器、37~153、337~426、501~509、601~670、801~873…Dフリップフロップ、201…コンパレータ、202~205…セクタである。

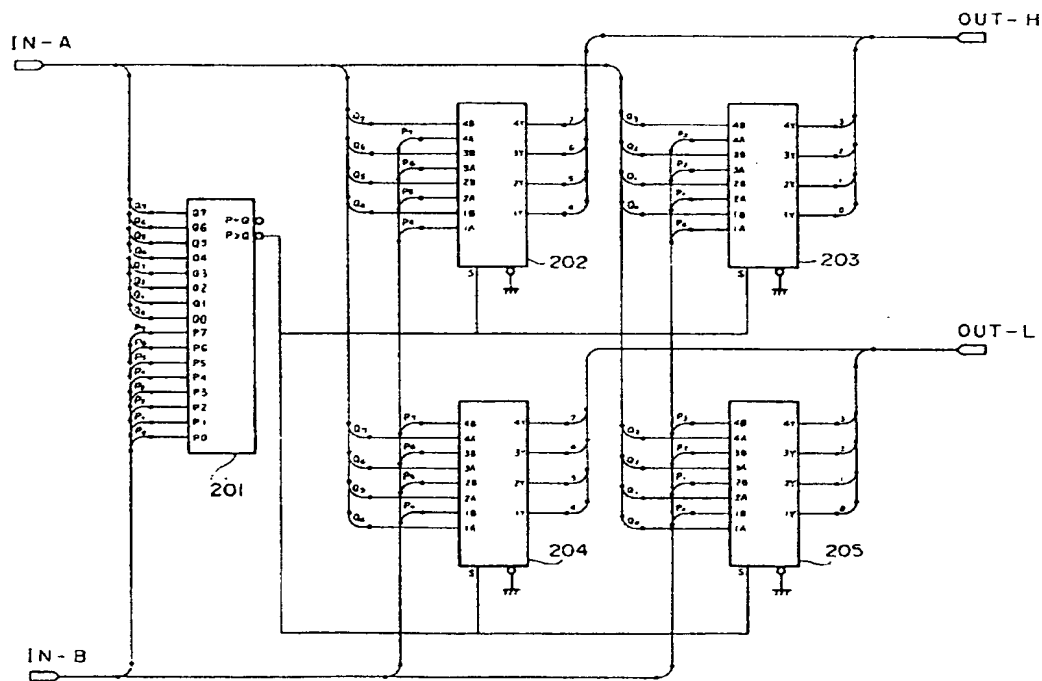
特許出願人 キヤノン株式会社

代理人 弁理士 大塚康徳（他1名）

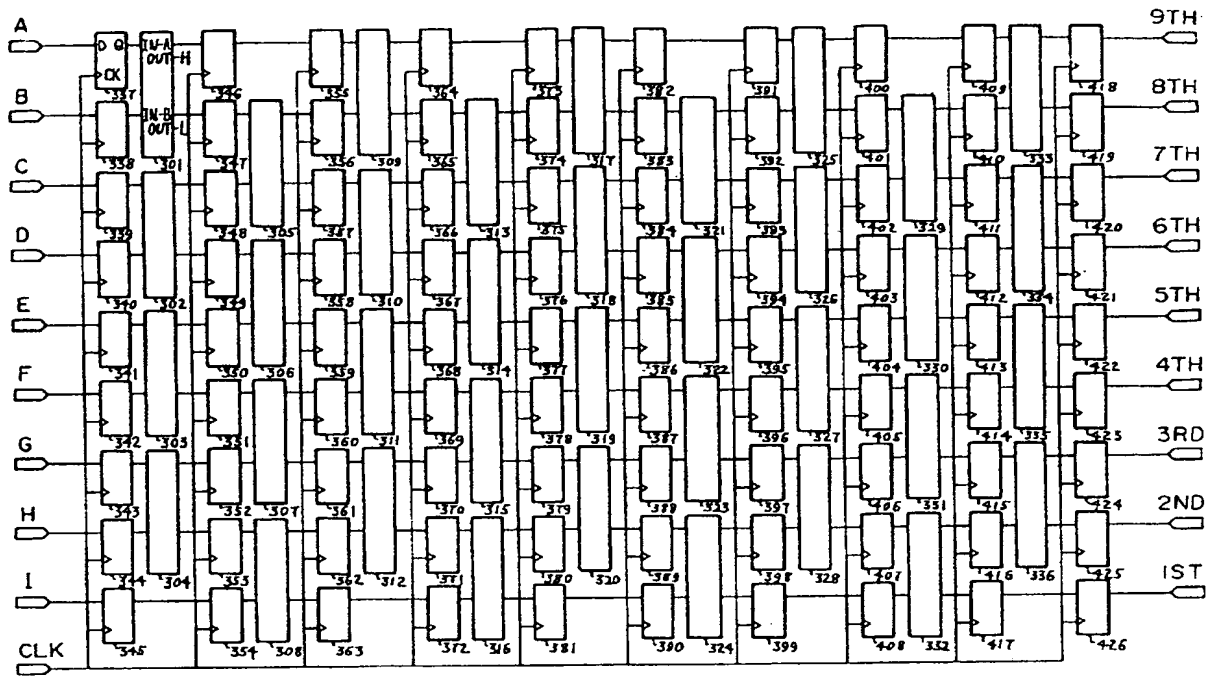




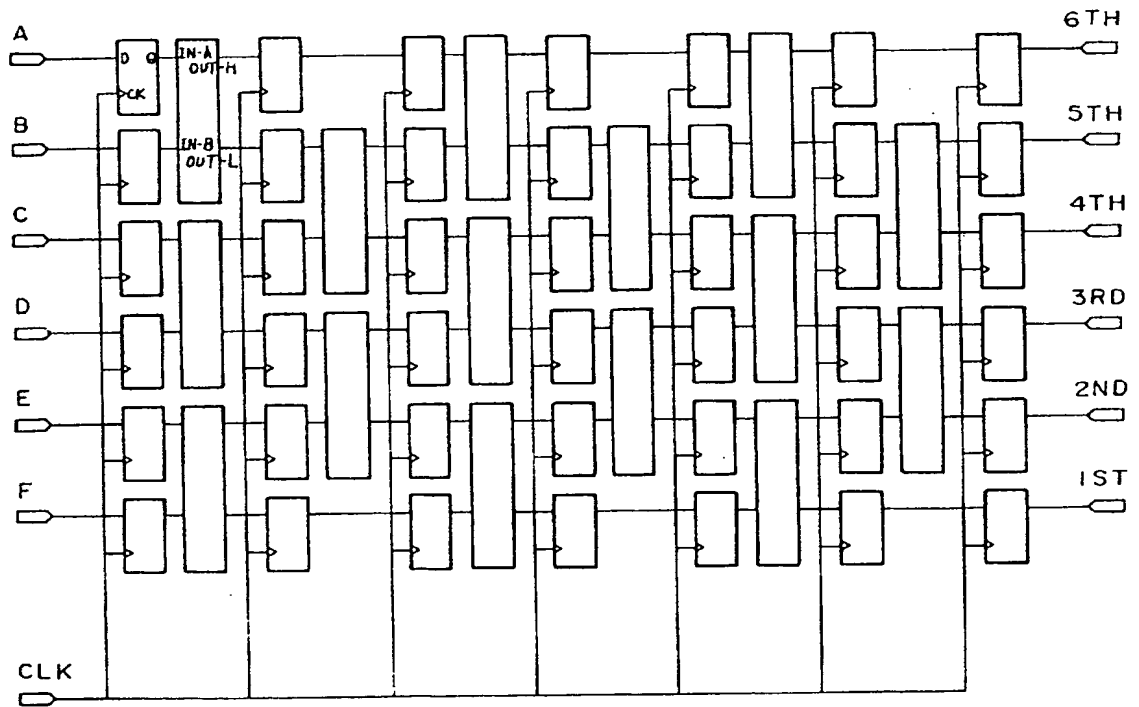
第 1 図



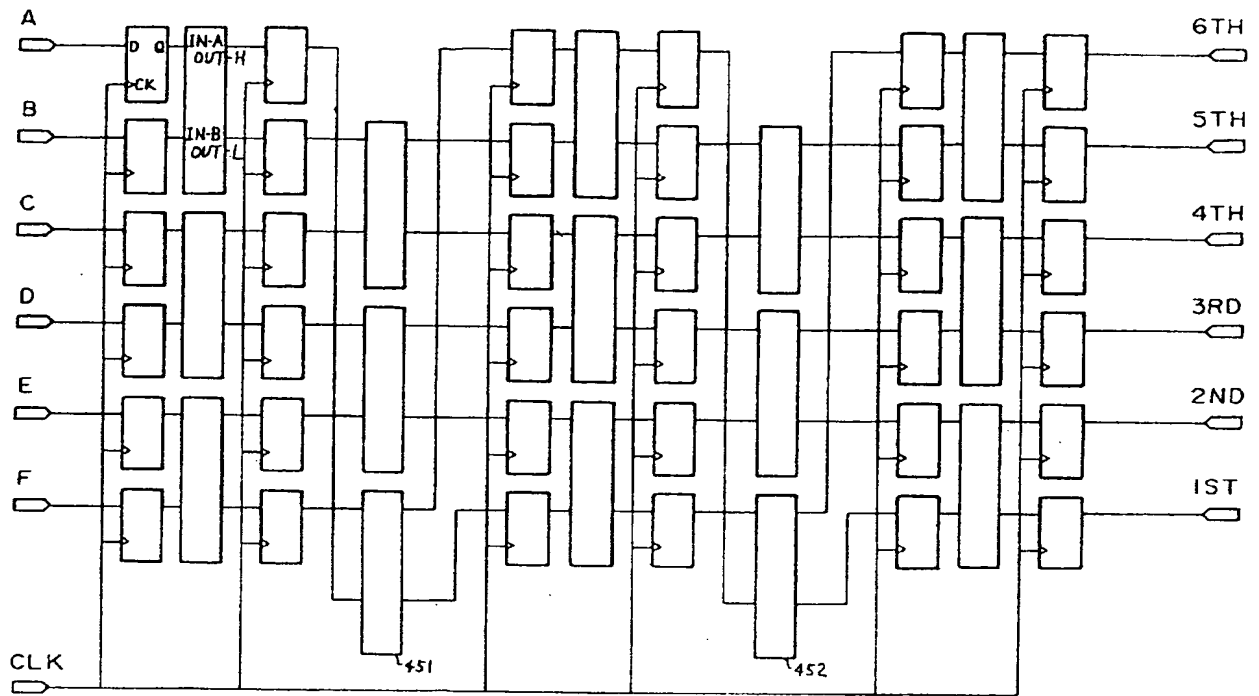
第 2 図



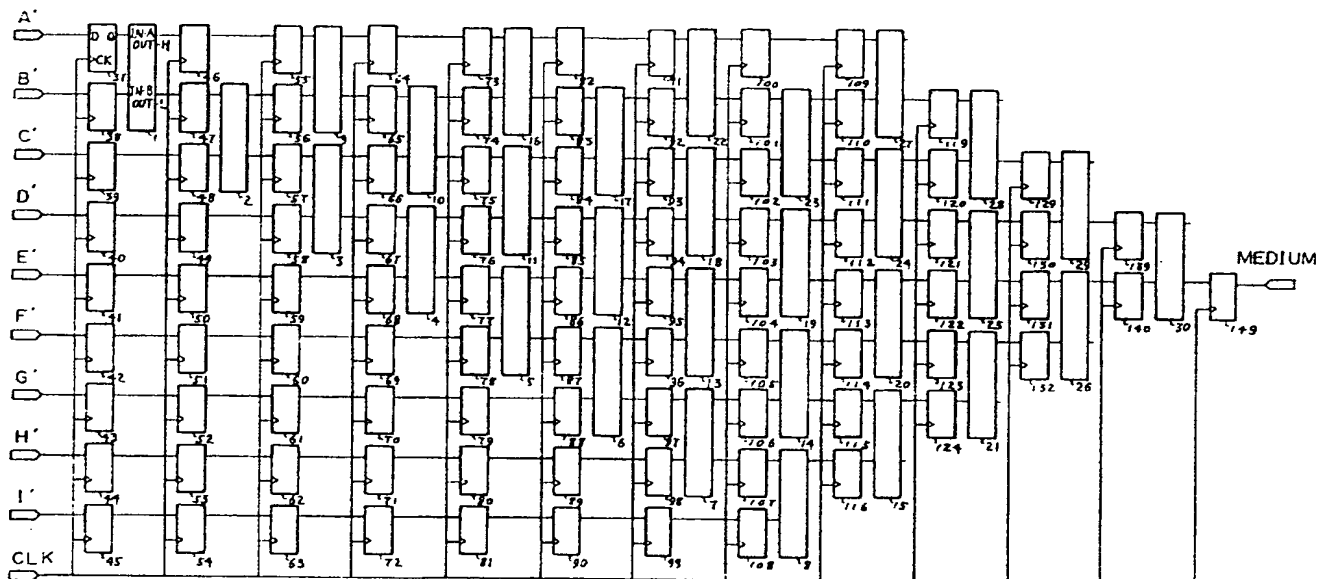
第 3 図



第 4 図

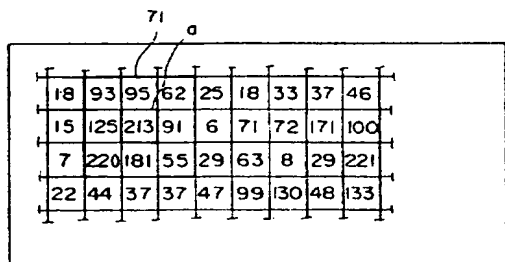


第 5 圖

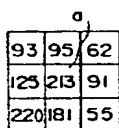


第 6 圖





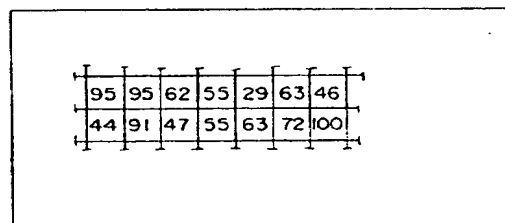
第 7 図



第 8 図



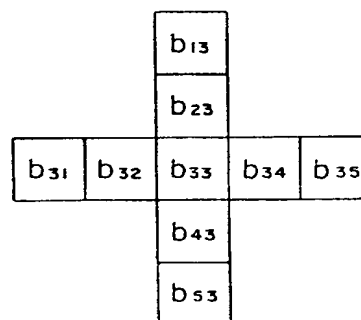
第 9 図



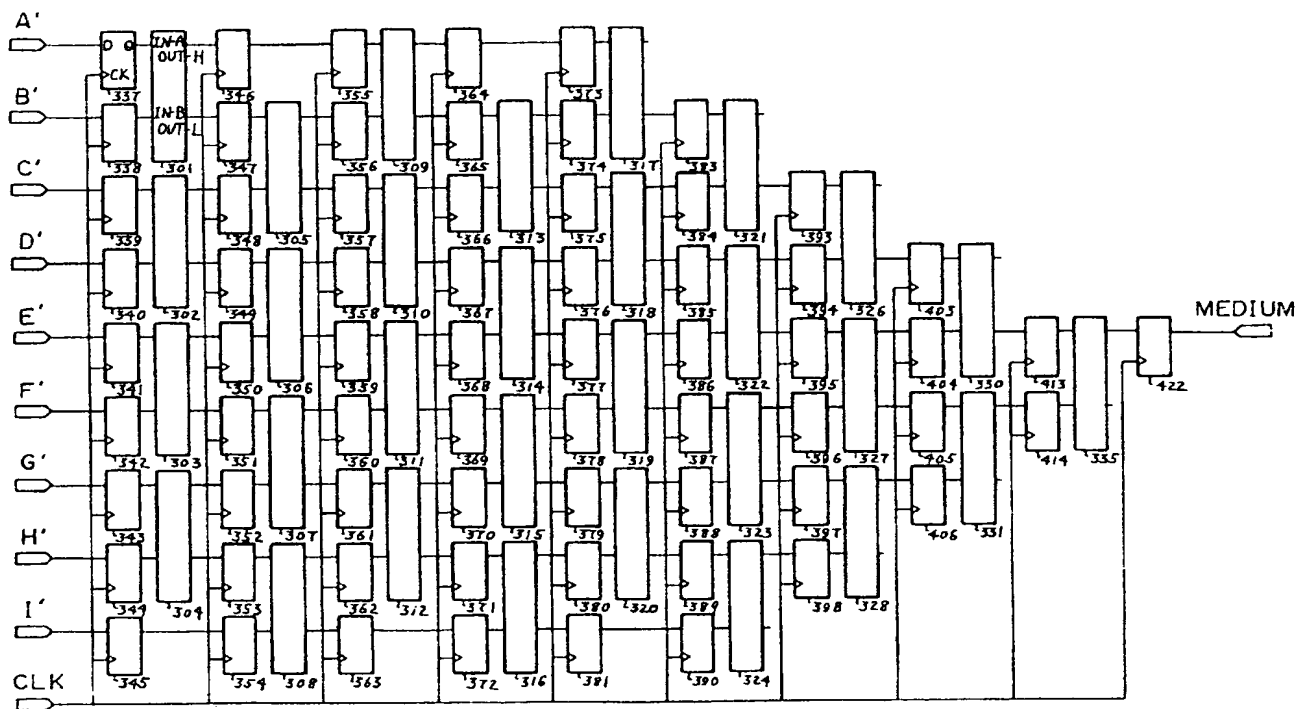
第 10 図

Q <sub>11</sub>	Q <sub>12</sub>	Q <sub>13</sub>
Q <sub>21</sub>	Q <sub>22</sub>	Q <sub>23</sub>
Q <sub>31</sub>	Q <sub>32</sub>	Q <sub>33</sub>

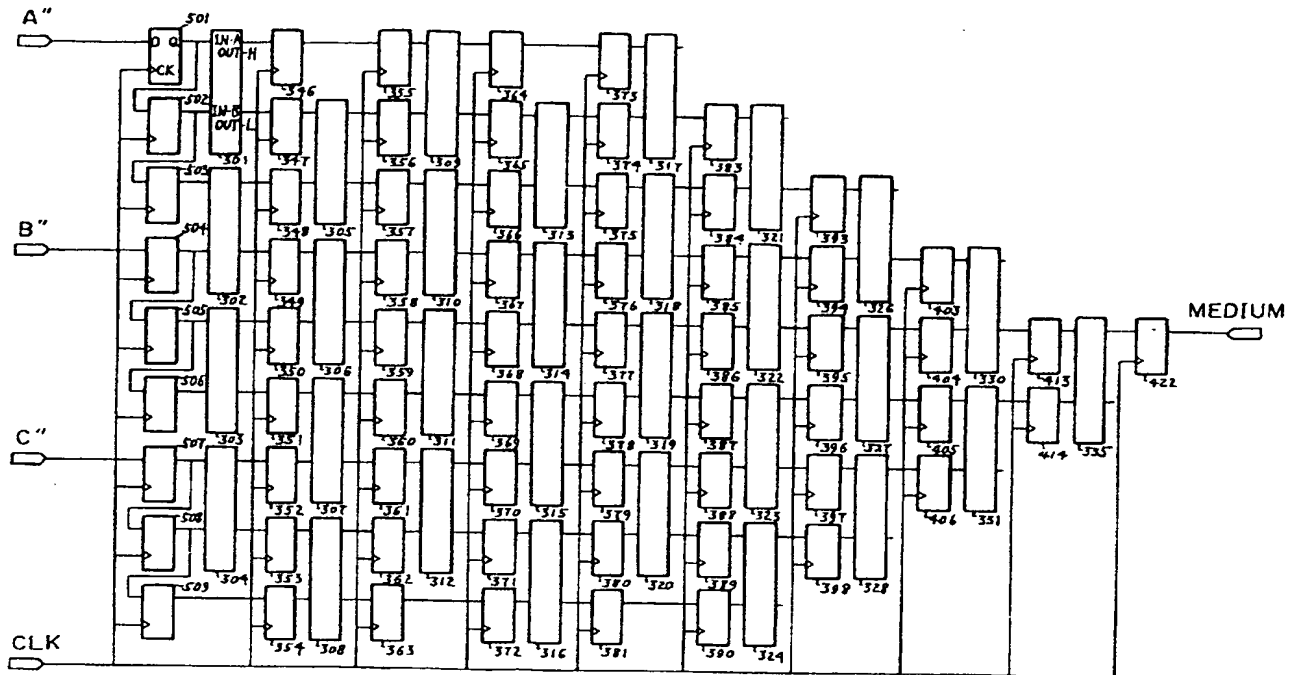
第 13 図



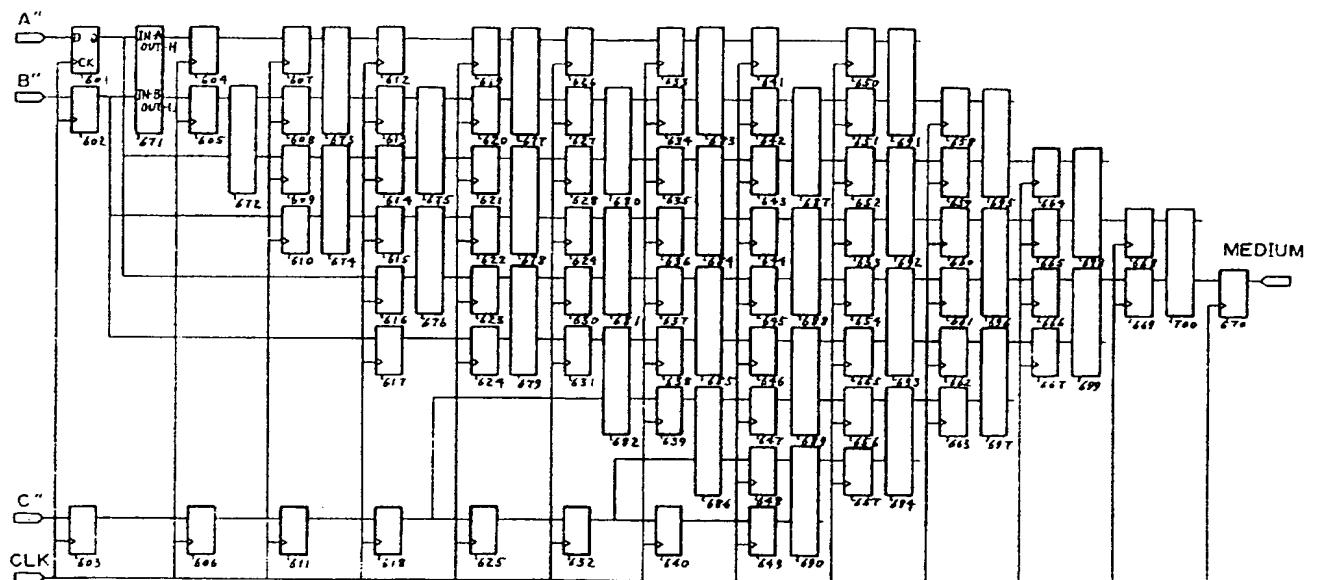
第 14 図



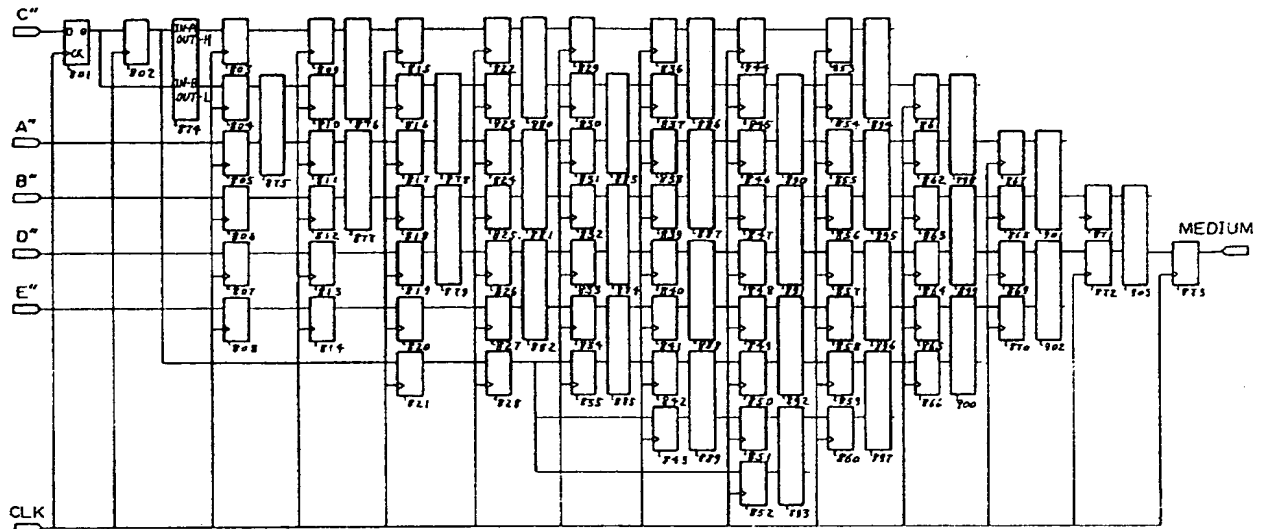
第 11 図



第 12 図



第 15 図



第 16 図